

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of
Inventor(s): Yukichi ONO

Appln. No.:	Not	Assigned
Series Code	↑	↑ Serial No.

Group Art Unit: Unassigned

Filed: October 30, 2003

Examiner: Unassigned

Title: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE
AND ITS MANUFACTURE USING AUTOMATIC LAYOUT

Atty. Dkt. P	0306496	H8009US
M#		Client R f

Date: October 30, 2003

**SUBMISSION OF PRIORITY
DOCUMENT IN ACCORDANCE
WITH THE REQUIREMENTS OF RULE 55**

Hon. Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

Please accept the enclosed certified copy(ies) of the respective foreign application(s) listed below for which benefit under 35 U.S.C. 119/365 has been previously claimed in the subject application and if not is hereby claimed.

<u>Application No.</u>	<u>Country of Origin</u>	<u>Filed</u>
2002-316997	Japan	October 31, 2002

Respectfully submitted,

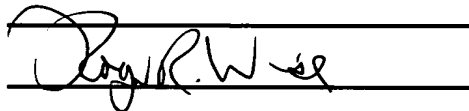
Pillsbury Winthrop LLP
Intellectual Property Group

725 South Figueroa Street, Suite
2800
Los Angeles, CA 90017-5406
Tel: (213) 488-7100

By Atty: Roger R. Wise

Reg. No. 31204

Sig:



Fax: (213) 629-1033
Tel: (213) 488-7584

Atty/Sec: RRW/JES

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 0 月 3 1 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 1 6 9 9 7
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 1 6 9 9 7]

出 願 人 ヤマハ株式会社
Applicant(s):

2 0 0 3 年 9 月 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 7 0 8 4 0

【書類名】 特許願

【整理番号】 C30603

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/82
H01L 27/118

【発明者】

【住所又は居所】 静岡県浜松市中沢町 1 0 番 1 号 ヤマハ株式会社内

【氏名】 小野 祐吉

【特許出願人】

【識別番号】 000004075

【氏名又は名称】 ヤマハ株式会社

【代理人】

【識別番号】 100104798

【弁理士】

【氏名又は名称】 山下 智典

【手数料の表示】

【予納台帳番号】 085513

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 集積回路製造方法、集積回路製造装置およびプログラム

【特許請求の範囲】

【請求項 1】 (a)論理回路を構成するために必要な複数のセルの構成を各々指定するセル構成情報であって、前記各セルは、セル内またはセル外に対する配線状態によって形状および面積が決定される可変配線領域と、セル内またはセル外に対する配線態様に拘らずセルの種類に応じて形状および面積が決定される固定配線領域とから成るセル構成情報と、(b)前記各セル間の配線関係を指定する配線情報とを記憶装置から読み出す読出し過程と、

前記セル構成情報と前記配線情報とに基づいて、前記可変配線領域の形状を決定させつつ、自動的に当該可変配線領域内の配線パターンおよび複数の前記各セル間の配線パターンを決定する決定過程と

を有することを特徴とする集積回路製造方法。

【請求項 2】 前記決定過程においては、前記各セルのうち相互に隣接する複数のセルの可変配線領域の形状が、相互に嵌めあう形状になるように決定されることを特徴とする請求項 1 記載の集積回路製造方法。

【請求項 3】 請求項 1 または 2 記載の集積回路製造方法を実行することを特徴とする集積回路製造装置。

【請求項 4】 請求項 1 または 2 記載の集積回路製造方法を実行することを特徴とするプログラム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、集積回路の自動配置配線に用いて好適な集積回路製造方法、集積回路製造装置およびプログラムに関する。

【0002】

【従来技術】

集積回路の多くは少量多品種生産品であり、短い開発期間が要求されているため、計算機等を用いた自動配置配線装置によって設計されることが多い。自動配

置配線方式については種々のものが知られているが、特許文献 1, 2 においては、「スタンダードセル方式」と呼ばれている方式が開示されている。かかる方式においては、まず集積回路において実現すべき論理回路が標準ゲート等の「セル」単位に分解される。次に、これらセルの配置パターンが自動的に決定された後、各セル間の配線パターンが決定される。そして、これら配置・配線パターンに基づいてマスクが作成され、集積回路が生産される。

【0003】

スタンダードセル方式の集積回路においては、P, N タイプ拡散層が所定方向（幅方向という）に沿って延在する。旧来のスタンダードセル方式においては、各セルは、この幅方向に沿ってセルの種類に応じた「幅」有し、該延在方向に直交する方向（高さ方向という）に一定の「高さ」を有する矩形形状を有するものであった。このスタンダードセル方式においては、個々のセルの「高さ」が固定されているため、基板上で無駄なスペースを生じさせ易く、集積度を高めることが困難であるという欠点がある。このため、集積度を高めるための種々の技術が提案されている。例えば、特許文献 1, 2 においては、各セルの「高さ」を可変にすることにより、配置・配線パターンを最適化する技術が開示されている。

【0004】

【特許文献 1】 特開平 6-85062 号公報

【特許文献 2】 特開平 6-85064 号公報

【0005】

【発明が解決しようとする課題】

しかし、上述した各特許文献に記載された技術においては、各セル内に配線の疎密が生じた場合に、各セルが有する面積を十分に活かすことができず、その結果未だ十分な集積度を確保することは困難であった。

この発明は上述した事情に鑑みてなされたものであり、高い集積度を得ることができる集積回路製造方法、集積回路製造装置およびプログラムを提供することを目的としている。

【0006】

【課題を解決するための手段】

上記課題を解決するため本発明にあつては、下記構成を具備することを特徴とする。なお、括弧内は例示である。

請求項 1 記載の集積回路製造方法にあつては、(a)論理回路を構成するために必要な複数のセルの構成を各々指定するセル構成情報であつて、前記各セルは、セル内またはセル外に対する配線状態によって形状および面積が決定される可変配線領域と、セル内またはセル外に対する配線態様に拘らずセルの種類に応じて形状および面積が決定される固定配線領域とから成るセル構成情報と、(b)前記各セル間の配線関係を指定する配線情報とを記憶装置から読み出す読出し過程（S P 2）と、前記セル構成情報と前記配線情報とに基づいて、前記可変配線領域の形状を決定させつつ、自動的に当該可変配線領域内の配線パターンおよび複数の前記各セル間の配線パターンを決定する決定過程とを有することを特徴とする。

さらに、請求項 2 記載の構成にあつては、請求項 1 記載の集積回路製造方法において、前記決定過程においては、前記各セルのうち相互に隣接する複数のセルの可変配線領域の形状が、相互に嵌めあう形状になるように決定されることを特徴とする。

また、請求項 3 記載の集積回路製造装置にあつては、請求項 1 または 2 記載の集積回路製造方法を実行することを特徴とする。

また、請求項 4 記載のプログラムにあつては、請求項 1 または 2 記載の集積回路製造方法を実行することを特徴とする。

【 0 0 0 7 】

【発明の実施の形態】

1. 実施形態のハードウェア構成

以下、この発明の一実施形態の自動配置配線装置の構成を図 1 を参照し説明する。なお、本実施形態の自動配置配線装置は、汎用コンピュータと、該コンピュータ上で動作するアプリケーションプログラムとによって構成されている。

図において、2 は通信インタフェースであり、ローカルエリアネットワーク（図示せず）を介して他の機器との間で配置・配線データ等のやりとりを行う。4 は入力装置であり、文字入力用キーボード、マウス、パターン作画用のデジタイ

ザ等から構成されている。8はディスプレイであり、ユーザに対して各種情報を表示する。10はCPUであり、後述するプログラムに基づいて、バス16を介して他の構成要素を制御する。12はROMであり、自動配置配線装置のイニシャルプログラムローダ等が記憶されている。18はリムーバルディスクドライブ装置であり、CD-ROM、MO等のリムーバルディスク20に対して読出し／書込みを行う。

【0008】

24はハードディスクであり、オペレーティングシステム、自動配置配線装置用のアプリケーションプログラム、配置・配線データ等が格納される。26はレーザ作画装置であり、作成された配置・配線パターンをフィルム上に描画することによって、集積回路用のフォトレジストマスクを作成する。30はRAMであり、CPU10のワークメモリとして用いられる。

【0009】

2. 実施形態の動作

次に、本実施形態の動作を説明する。

まず、実現すべき集積回路の「論理回路データ」と、「セル情報」とがハードディスク24に記憶される。この論理回路データは、実現しようとする集積回路の論理構成を指定するものである。また、「セル」とは例えば「フリップフロップ」、「カウンタ」等、一定の機能を有する論理回路のブロックであり、「セル情報」とは各「セル」の回路構成や配線パターン等を定義する情報である。なお、「セル情報」を構成する個々の情報の詳細については後述する。

【0010】

ユーザが入力装置4において所定の操作を行うと、図2に示すプログラムが実行される。図2において処理がステップSP2に進むと、論理回路データが上記「セル」単位に分割される。ここで、一例として、「Dフリップフロップ」セルの回路図を図3(a)に示しておく。同図(a)において250～260はインバータ、230、232はトランジスタである。また、同図(a)に対応するトランジスタ回路の回路図を同図(b)に示しておく。図3(b)において202～228、234～248はトランジスタであり、これらによって上記インバータ250～26

0が構成されるのである。そして、「セル情報」には、図3(b)の回路を特定する情報が含まれている。

【0011】

図2に戻り、処理がステップSP4に進むと、これらセルが集積回路内の領域（セル領域）に配置される。ここで、一のセル領域の構成を図4を参照し説明する。図において104はP拡散層、106はN拡散層であり、相互に近接して配置される。なお、本実施形態においては、両拡散層間の距離は「1」コンタクトが確保できる程度の距離に設定されている。両拡散層の周辺には、当該セルに対して必ず確保され、一定の形状および面積を有する固定配線領域132、134が確保される。また、固定配線領域132、134の外側には、形状および面積が必要に応じて変更される可変配線領域130、136が確保される。但し、ステップSP4の実行段階においては、デフォルトの可変配線領域130、136として、十分に広い矩形状の領域が確保される。なお、図4においては一のセル領域のみを示すが、同様のセル領域が図上縦横方向に配列されることになる。

【0012】

次に、処理がステップSP6に進むと、固定配線領域132、134内における配線パターンが決定される。なお、固定配線領域132、134における配線パターンは、「セル情報」内に予め規定されており、ステップSP6においては、この既定の配線パターンがそのまま適用されることになる。適用される配線パターンの例を図5(a)に示す。同図(a)において、ハッチングが施されている領域100、100、……はポリシリコン層である。

【0013】

これらポリシリコン層100、100、……と、拡散層104、106との交差部分にはトランジスタのゲート端が形成される。実線108、108、……は第1メタル層であり、コンタクト102、102、……（実線の正方形）を介して拡散層104、106等に接続されている。また、破線110、110は第2メタル層であり、図示の例においては電源電圧（VDD、VSS）の供給用に使われている。第2メタル層110、110は、コンタクト112、112、……（斜線入りの正方形）を介して、拡散層104、106の各部に接続されてい

る。

【0 0 1 4】

図 2 に戻り、処理がステップ S P 8 に進むと、可変配線領域 1 3 0, 1 3 6 の配線パターンが決定される。すなわち、「セル情報」には、可変配線領域 1 3 0, 1 3 6 については、単なる接続情報（どの部分とどの部分を接続すべきかを示す情報）のみが規定されており、具体的な配線パターンはこのステップ S P 8 の段階で決定される。上述したように、最初にステップ S P 8 が実行される時点においては、可変配線領域 1 3 0, 1 3 6 として十分に広い領域が確保されているため、通常の回路構成では特に問題なく配線パターンを決定することができる。上記ステップ S P 8 において決定された可変配線領域の配線パターンと、先に決定された固定配線領域の配線パターンとを合わせた全体の配線パターンを図 5 (b) に示しておく。なお、図 5 (b) には特に図示していないが、ステップ S P 8 においては、集積回路全体の「論理回路データ」に基づいて、各セル間の接続に用いられる配線パターンも決定される。

【0 0 1 5】

次に、処理がステップ S P 1 0 に進むと、縦方向に隣接する複数のセルについて、両セル間隔を短縮することが可能であるか否かが判定される。まず、ある可変配線領域の全幅に渡って無駄なスペースが存在する場合には、当該可変配線領域の全幅に渡って「高さ」を短縮することができる。また、縦方向に隣接するセル相互の関係により、セル形状を変更すれば全体的にセル間隔を縮小できる場合もある。その一例を図 6 (a), (b) を参照し説明する。

【0 0 1 6】

図 6 (b) は、最初にステップ S P 8 が実行された際に確保されたセル領域 A, B の配置を示す。ここで、セル領域 A, B は縦方向に隣接しており、セル領域 A の可変配線領域 1 3 6 a とセル領域 B の可変配線領域 1 3 0 b とが対向している。可変配線領域 1 3 6 a は、その左側部分の配線パターンの密度が「疎」である一方、可変配線領域 1 3 0 b は、その右側部分の配線パターンの密度が「疎」である。かかる場合には、可変配線領域 1 3 6 a の左側部分の「高さ」を短縮し、可変配線領域 1 3 0 b の右側部分の「高さ」を短縮すれば、同図(a)に示すよう

に、両可変配線領域を、相互に嵌めあうような形状に変更することができる。また、図 6 (c) に示すように、相互に斜め方向に隣接するセル領域 C, D について、対向する「2」隅における配線パターンの密度が「疎」であれば、これら「2」隅を切り欠くように可変配線領域 130c, 136d を変形し、これによってセル間隔を短縮することが可能である。

【0017】

以上述べたような様々な変形によってセル間隔を短縮することが可能であれば、ステップ SP10 において「YES」と判定され、処理はステップ SP8 に戻る。ここでは、変形された可変配線領域について、各可変配線領域の配線パターンが再度決定される。勿論、各配線パターンが通過する層（ポリシリコン層 100、第 1 メタル層 108、第 2 メタル層 110 等）も必要に応じて再決定される。ところで、このように変形が行われた場合であっても、セル間隔をさらに短縮することができる場合もある。従って、少なくとも何れか「2」セルのセル間隔の短縮が可能である限り、以下ステップ SP8, SP10 の処理が繰り返し実行される。そして、何れのセル間隔の短縮も不可能になると、ステップ SP10 において「NO」と判定され、本ルーチンの処理が終了する。

【0018】

このように、全セルに対する配線パターンが決定した後、ユーザが所定の操作を行うと、当該配線パターンを各層毎にフィルムに描画して成るフォトレジストマスクがレーザ作画装置 26 を介して出力される。最終製品である集積回路は、このフォトレジストマスクを用いたエッチング処理等のプロセスによって製造される。

【0019】

3. 変形例

本発明は上述した実施形態に限定されるものではなく、例えば以下のように種々の変形が可能である。

(1) 上記各実施形態においては、コンピュータと、該コンピュータ上で動作するアプリケーションプログラムによって自動配置配線装置を構成したが、このアプリケーションプログラムのみを CD-ROM、フレキシブルディスク等の記録媒

体に格納して頒布し、あるいは伝送路を通じて頒布することもできる。

【0020】

【発明の効果】

以上説明したように本発明によれば、セル構成情報と配線情報とに基づいて、可変配線領域の形状を決定させつつ、自動的に各セル内の配線パターンおよび複数のセル間の配線パターンを決定するから、集積回路の面積を有効に利用することができ、高い集積度を確保することができる。

【図面の簡単な説明】

【図1】 本発明の一実施形態の自動配置配線装置のブロック図である。

【図2】 自動配置配線装置において実行される処理プログラムのフローチャートである。

【図3】 「Dフリップフロップ」セルの回路図である。

【図4】 一のセル領域の構成図である。

【図5】 一のセル領域における配線パターンを示す図である。

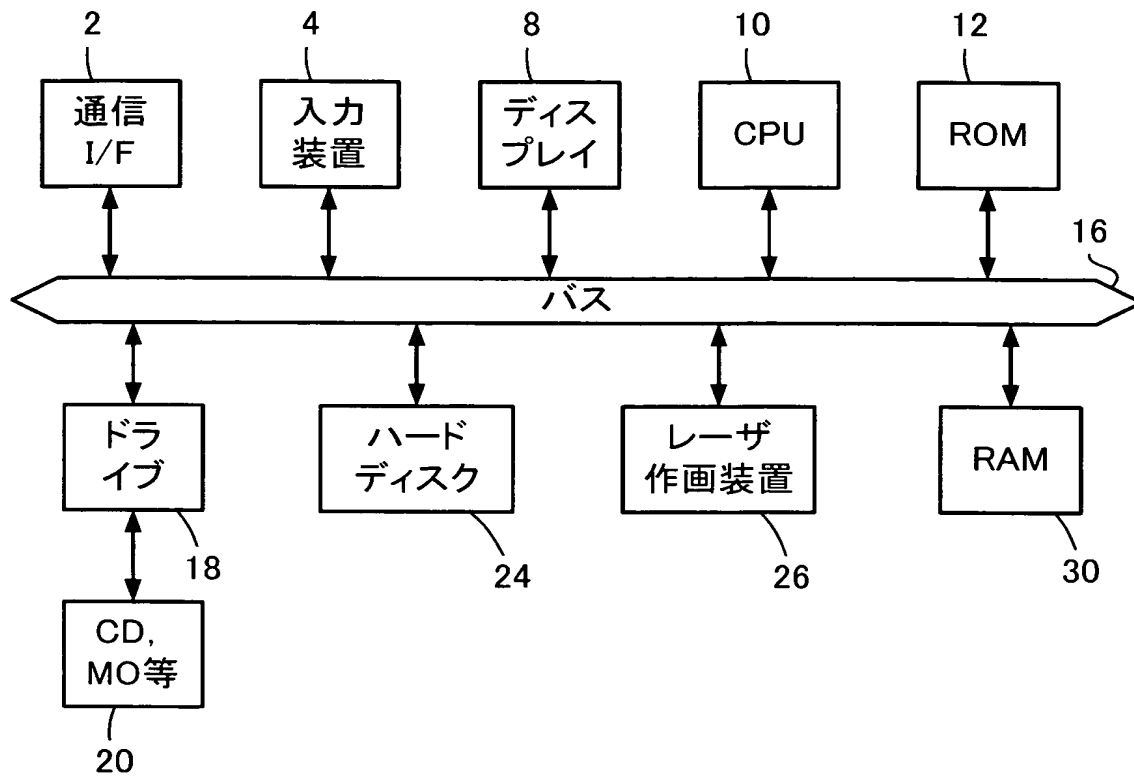
【図6】 一実施形態の動作説明図である。

【符号の説明】

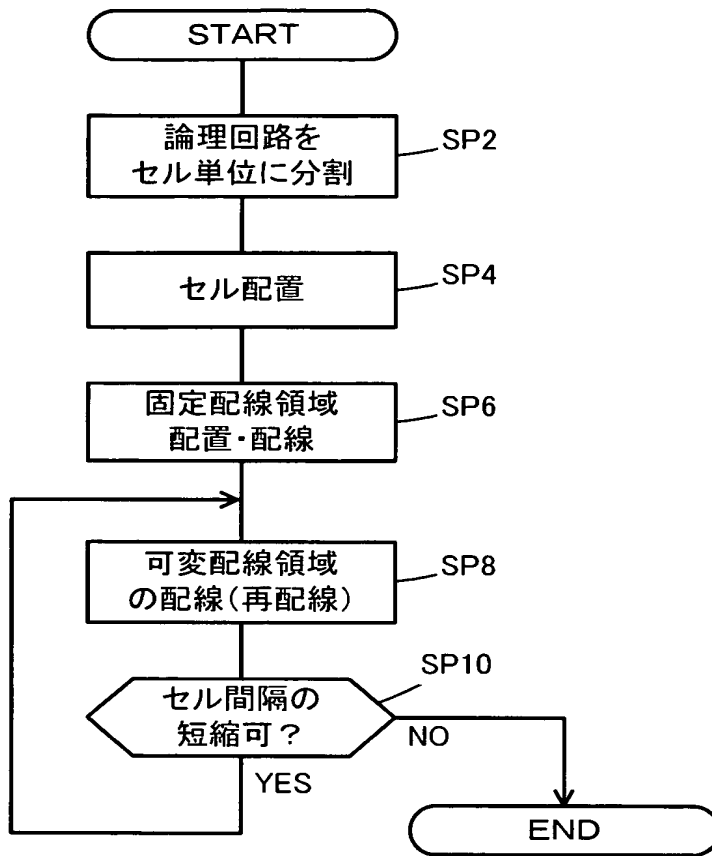
2…通信インタフェース、4…入力装置、8…ディスプレイ、10…CPU、12…ROM、16…バス、18…リムーバルディスクドライブ装置、20…リムーバルディスク、24…ハードディスク、26…レーザ作画装置、30…RAM、100…ポリシリコン層、102…コンタクト、104…P拡散層、106…N拡散層、108…第1メタル層、110…第2メタル層、130, 136…可変配線領域、132, 134…固定配線領域、250～260…インバータ、202～248…トランジスタ、A～D…セル領域。

【書類名】 図面

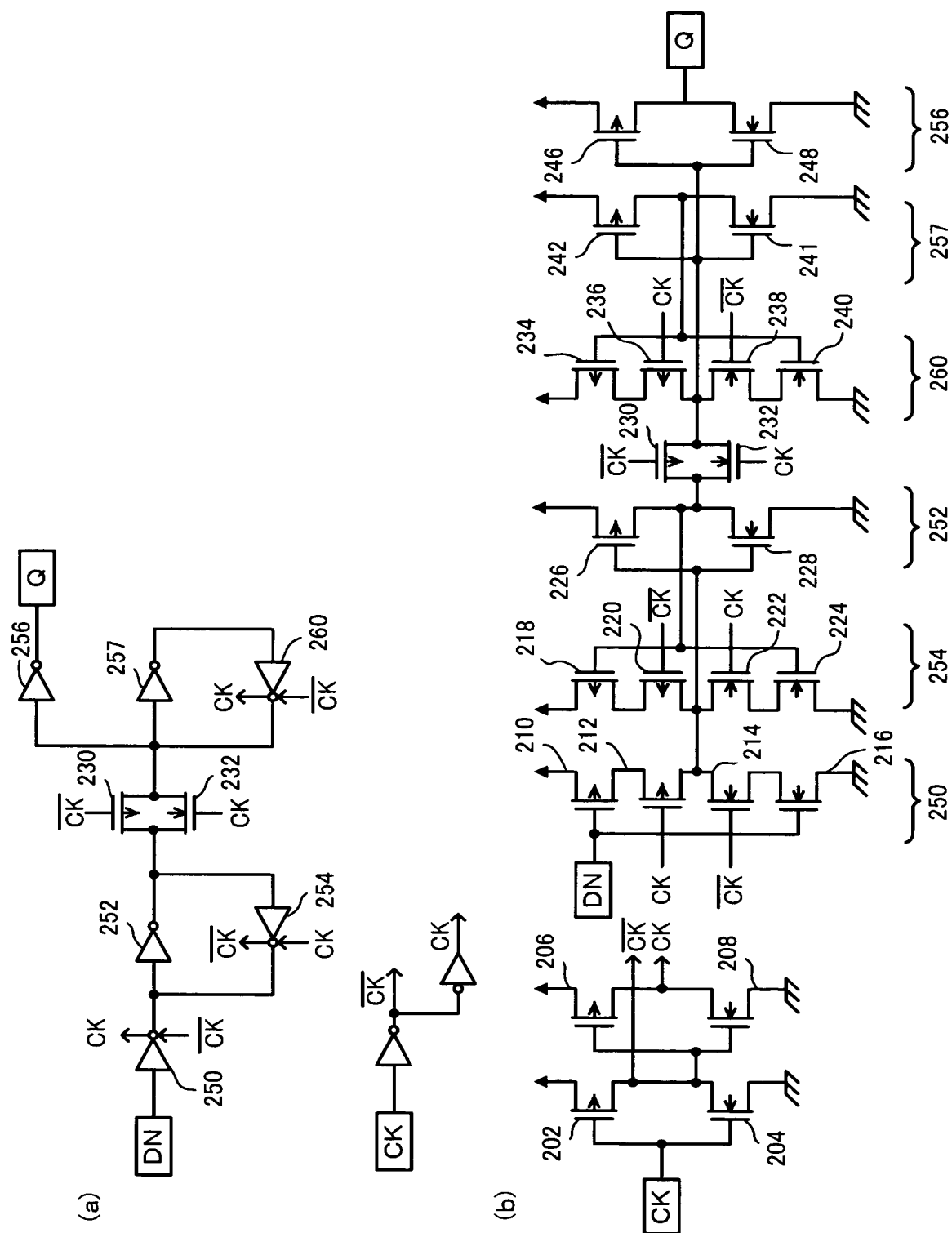
【図 1】



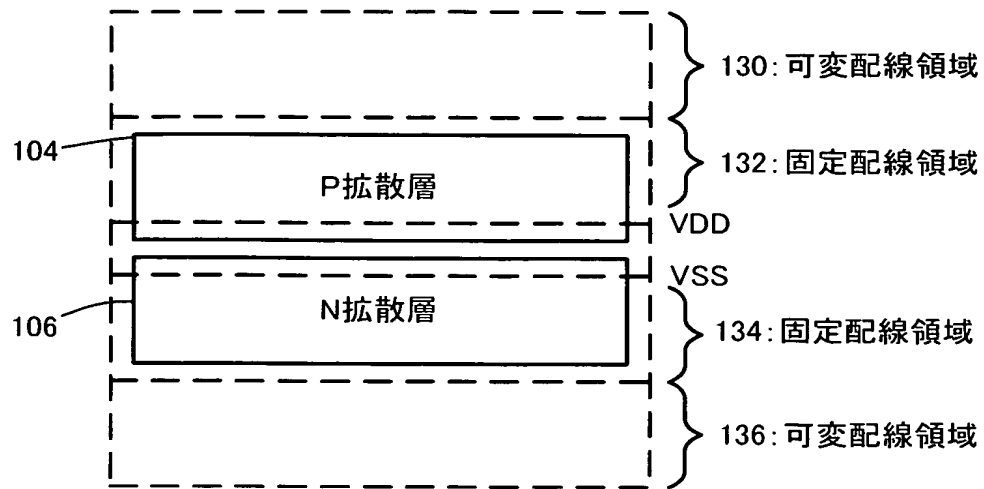
【図 2】



【図 3】

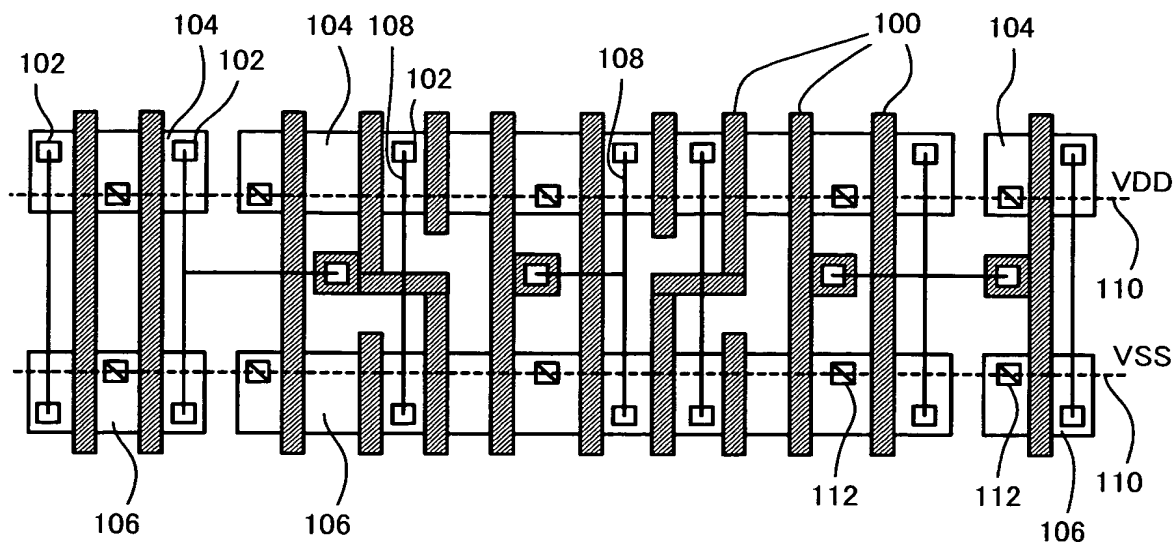


【図 4】

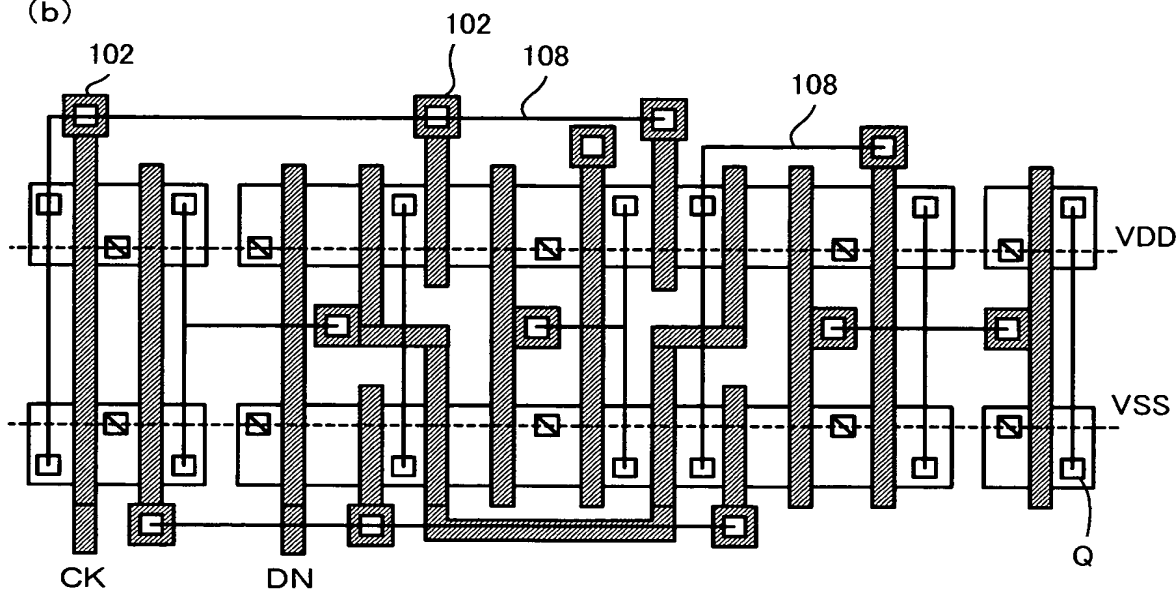


【図 5】

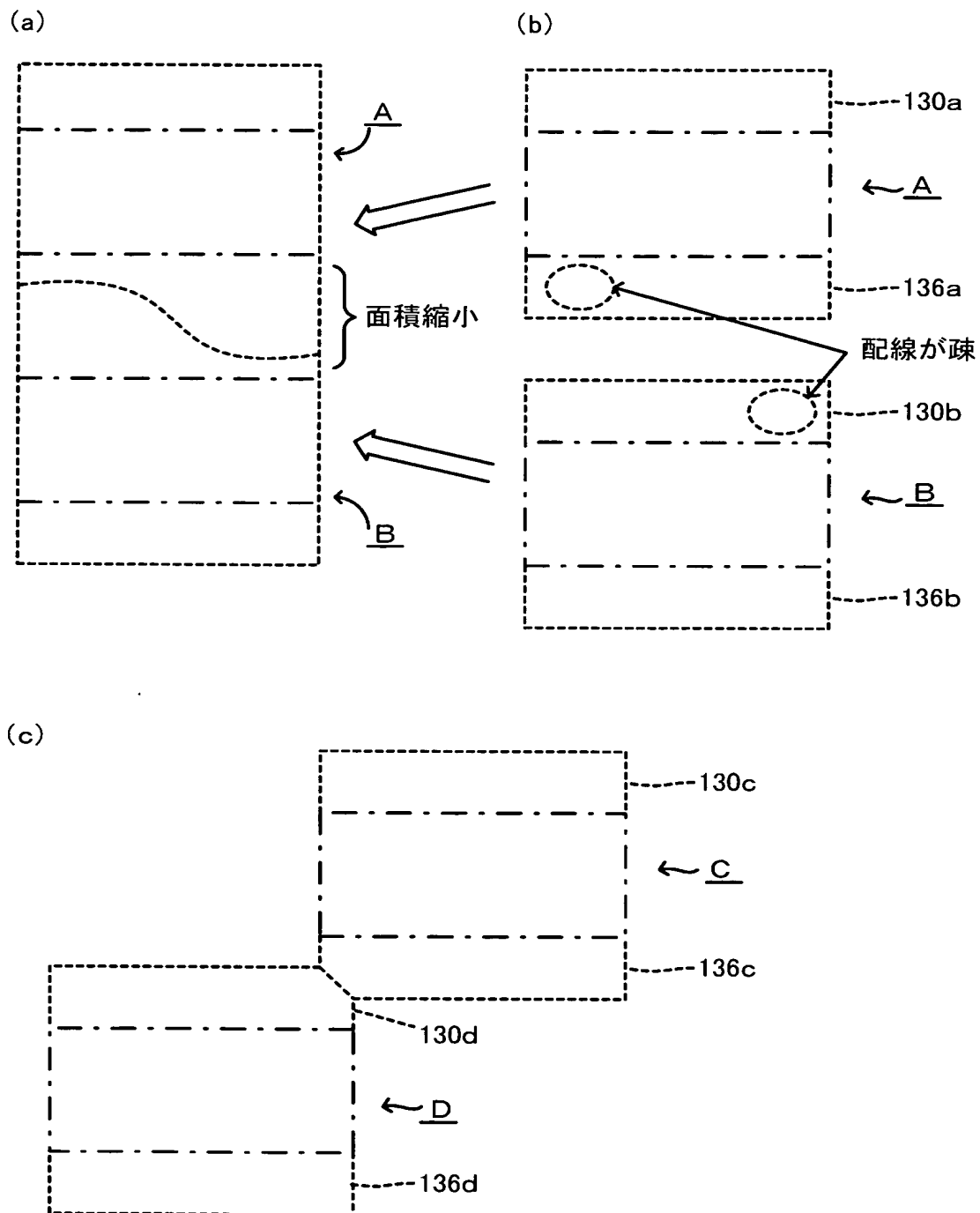
(a)



(b)



【図 6】



【書類名】 要約書

【要約】

【課題】 スタンダードセル方式の集積回路において、集積度を高める。

【解決手段】 論理回路を複数のセル A, B に分割し、最初に各セル毎に配線パターンを決定する。ここで、各集積回路上のセルの形状は、セル内またはセル外に対する配線状態によって決定される可変配線領域と、セル内またはセル外に対する配線態様に拘らずセルの種類に応じて決定される固定配線領域とから成る。図 6 (b) に示すように配線パターン中、密度が「疎」である部分が生じると、同図 (a) に示すように、相互に嵌めあうように可変配線領域 1 3 6 a, 1 3 0 b の形状が変形され、両セル領域 A, B 間の間隔が短縮される。

【選択図】 図 6

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 1 6 9 9 7		
受付番号	5 0 2 0 1 6 4 6 0 8 7		
書類名	特許願		
担当官	第五担当上席	0 0 9 4	
作成日	平成 1 4 年 1 1 月 1 日		

< 認定情報・付加情報 >

【提出日】	平成14年10月31日
-------	-------------

次頁無

特願 2 0 0 2 - 3 1 6 9 9 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 4 0 7 5]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

静岡県浜松市中沢町 1 0 番 1 号

氏 名

ヤマハ株式会社